

参 考 資 料 9

⑤ 日本国 許庁(JP)

⑥ 特許出願公告

⑦ 特 許 公 報 (B 2) 平5-86859

⑧ Int. Cl.⁸

識別記号

庁内整理番号

⑨ 公告 平成5年(1993)12月14日

H 01 L 23/12
21/60
H 05 K 1/11S 2 1 X
H0818-4M
7511-4E
9355-4M

H 01 L 23/12

N

発明の数 1 (全3頁)

⑩ 発明の名称 高速論理素子用配線基板

⑪ 特 願 昭59-94002

⑫ 公 開 昭60-240186

⑬ 出 願 昭59(1984)5月14日

⑭ 昭60(1985)11月29日

⑮ 発 明 者 斎藤 民雄 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑯ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代 理 人 弁理士 則近 憲佑 外1名

審 査 官 加藤 浩一

1

2

① 特許請求の範囲

1 平行あるいは放射状に所定の間隔をもつて配設された配線間に、伝播する信号の波長よりも短い間隔でスルーホールを形成してなる事を特徴とする高速論理素子用配線基板。

2 前記スルーホールは複数層の配線基板に共通に形成されている事を特徴とする特許請求の範囲第1項記載の高速論理素子用配線基板。

発明の詳細な説明

〔発明の属する技術分野〕

本発明は、例えばInsec以下の立ち上りを有す高周波成分を含んだ高速パルス処理する高速論理素子を実装する基板に関する。

〔従来技術とその問題点〕

電子計算機等に用いられる高速論理素子は増々高速化してきている。中でもGaAsをウェハートするLSIは、低消費電力で且つ高速であるという利点がある為、近年注目をあびている。

然し乍ら、一定の線路を一定の電圧に昇圧する為には一定のエネルギーが必要で、その為に一定の電流を出力せねばならない。

線路のエネルギーを減少させる為には、線路のインピーダンスを高くする必要がある。その為には、信号線とGNDの距離を離す必要が生じる。一方、信号間の距離をそのままにしておくと、信号間のクロストークが大きくなるという問題を生

じる。

〔発明の目的〕

本発明は、かかる矛盾に鑑みてなされたもので高インピーダンス線路であり、且つ、クロストークの少ない回路基板を提供するものである。

〔発明の概要〕

本発明は平行して走る配線間に、伝播する信号の波長よりも短い間隔でスルーホールを形成した高速論理素子用配線基板である。

10 〔発明の効果〕

本発明によれば、平行して走る配線(信号線)間にスルーホールを形成することにより、高インピーダンス線路でありながら、伝播する波動がこれら配線に交わらないようにすることができるため、クロストークを有効に小さくすることができる。

〔発明の実施例〕

以下図面を参照して本発明を説明する。

第1図は本発明の一実施例を示すもので、GaAs LSIチップ1は例えばワイヤボンディングによつて配線基板2に結線されるが、このとき配線基板2には信号線間に導体スルーホール3が形成されている。

第2図は配線基板2を詳細に示したもので、4 a, 4 bは接地用の金属層もしくは金属板で例えばCuで形成されている。5 a, 5 bは例えばガ

(2)

特公平5-86859

3

4

ラス、エポキシ等からなる絶縁体である。この絶縁体中には、信号線6が配置されている。本発明はこの信号線6の間に、導体スルーホール3を形成する点に特徴がある。この導体スルーホール3は、先ず接地用の金属層又は金属板4a、4b及び絶縁体5a、5bに多数の貫通孔を配線6の間に形成した後、無電解メッキによつて例えばCuをこの貫通孔内に埋め込むことによつて形成される。これら導体スルーホールの上下端は接地用金属4a、4bにつながっている。

この導体スルーホールによつて、伝播する波動が他の配線2に伝わらないようにすることができるため、クロストークの低減を図ることができる。

導体スルーホールのピッチは小さいほどクロストークを小さくでき、伝播波長の1/4以下にするのが好ましいが、ピッチが小さくなると製作が困難となるので、製造面を考慮して適宜設定すればよい。

第3図は本発明の他の実施例を示す図であり、4a、4b、4cは接地用の金属層又は金属板6a、6bは信号線を示す。第2図との相違点は、配線基板が2枚積層されている点にある。すなわち下側の配線基板は第2図と同様で、その上に上側配線基板が積層され、上側配線基板中の信号線6

aは下側配線基板内の信号線6bを直交して配列されている。そしてこれら両方の配線基板を貫通する如く、かつ両方の配線基板の信号線間に導体スルーホール3が設けられている。

第4図は本発明の更に他の実施例を示し、特に単一の高速論理素子を埋め込む際に素子から放射状にリード線を取り出す場合、リード線幅とリード線間隔を中央から外側に出るに行つて広げるようにして、インピーダンスの均一化を図つた配線基板において、配線間に導体スルーホールを設けた例である。

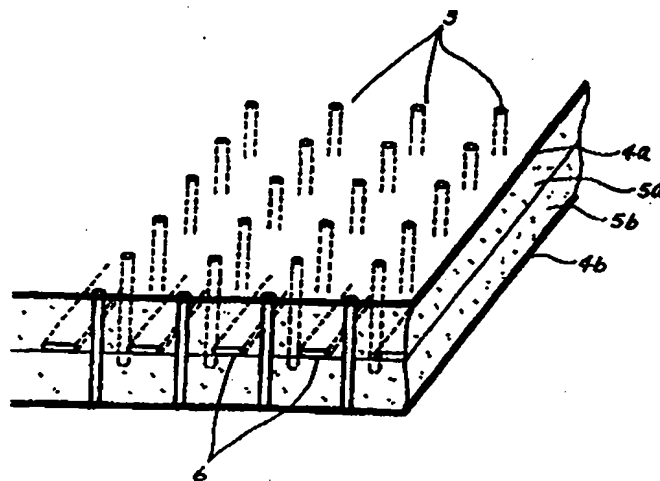
同図aは斜視図を、同図bはチップからのリード取出し部を拡大した断面図を示し、これらの図において1はチップ、2は配線基板、3は導体スルーホール、4a、4bは接地用金属層、5a、5bは絶縁体、7はリード線（信号線）、8はチップ1とリード線7の接触導体である。

図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は第1図中の要部を詳細に示す図、第3図、第4図は本発明の他の実施例を示す図である。

1……チップ、2……配線基板、3……導体スルーホール、4a、4b……接地層、5a、5b……絶縁体層、6……信号線、7……リード線

第2図





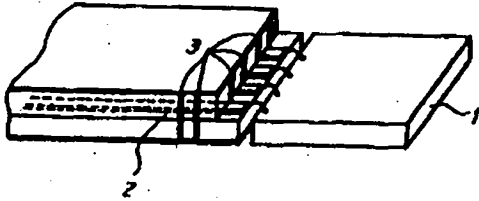
(6)

特公平 5-86859

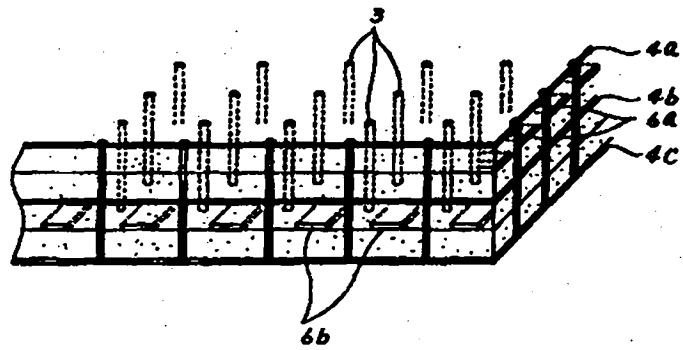
(3)

特公 平 5-86859

第 1 图



第 3 图



第 4 图

